

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-288227

(43) 公開日 平成7年(1995)10月31日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20				
21/268		Z		
29/786				
		9056-4M	H 0 1 L 29/ 78	3 1 1 H
		9056-4M		3 1 1 Y
審査請求 未請求 請求項の数16 O L (全 13 頁) 最終頁に続く				

(21) 出願番号 特願平6-118173

(22) 出願日 平成6年(1994)5月31日

(31) 優先権主張番号 特願平6-24329

(32) 優先日 平6(1994)2月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 原田 康樹

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 亀田 正明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 佐野 景一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 弁理士 鳥居 洋

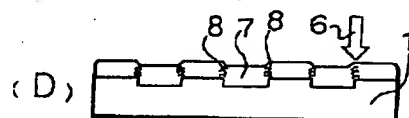
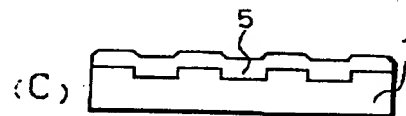
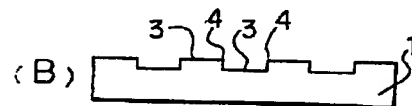
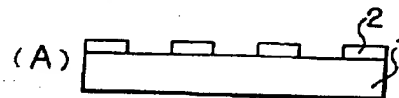
最終頁に続く

(54) 【発明の名称】 多結晶半導体膜、それを用いた半導体装置及び太陽電池並びにその製造方法

(57) 【要約】

【目的】 結晶粒界の位置制御された多結晶半導体膜、それを用いた半導体装置並びにその製造方法を提供することを目的とする。

【構成】 微小な平面を備えた領域3を多数備えた基板1であって、その領域間で生じた段差4の位置によって、多結晶半導体膜の結晶粒界8の位置を制御する。



【特許請求の範囲】

【請求項 1】 表面に多数の凹凸を設けて微小な平面を備えた領域を多数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた基板と、この基板上に基板表面の凹凸形状を反映して膜内部に位置制御された結晶粒界を有して形成された多結晶半導体膜と、からなることを特徴とする多結晶半導体膜。

【請求項 2】 上記多結晶半導体膜の膜内における結晶粒界が、上記基板の段差上に設けられていることを特徴とする請求項 1 に記載された多結晶半導体膜。

【請求項 3】 上記段差による高低差が、30 Å 以上 500 Å 以下とする請求項 1 に記載された多結晶半導体膜。

【請求項 4】 上記段差による凹凸部分の表面形状は断面でほぼ 90 度の角度に形成されている請求項 3 に記載の多結晶半導体膜。

【請求項 5】 微小な平面を備えた領域を多数個、表面に備えることで、隣接する該領域間の段差により上記表面を凹凸とした基板上に、半導体膜を形成する工程と、上記半導体膜に対して、エネルギービームを照射することで、多結晶化せしめる工程と、からなることを特徴とする多結晶半導体膜の製造方法。

【請求項 6】 微小な平面を備えた領域を多数個、表面に備えることで、隣接する該領域間の段差により上記表面を凹凸とした基板上に、半導体膜を形成する工程と、上記半導体膜に熱処理を施しつつ、該半導体膜に対して、エネルギービームを照射することで、多結晶化せしめる工程と、からなることを特徴とする多結晶半導体膜の製造方法。

【請求項 7】 表面に多数の凹凸を設けて微小な平面を備えた領域を多数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含み内部に半導体接合を有する多結晶半導体膜と、からなることを特徴とする半導体装置。

【請求項 8】 上記多結晶半導体膜の膜内における結晶粒界が、上記基板の段差上に設けられていることを特徴とする請求項 7 に記載された半導体装置。

【請求項 9】 表面に多数の凹凸を設けて微小な平面を備えた領域を多数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた第 1 電極としての基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含む一導電型の多結晶半導体膜と、この多結晶半導体膜に形成された他導電型の半導体層と、この半導体層上に形成された透明電極と、を備え、上記多結晶半導体膜の膜内における結晶粒界が、上記基板の段差上に設けられ、上記結晶粒界に位置する透明電極上に集電極を設けていることを特徴とする太陽電池。

【請求項 10】 上記基板の段差間に位置する透明電極上に更に集電極を設けたことを特徴とする請求項 9 に記

載の太陽電池。

【請求項 11】 表面に多数の凹凸を設けて微小な平面を備えた領域を多数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含む一導電型の多結晶半導体膜と、この多結晶半導体膜上に形成された真性非晶質半導体層と、この真性半導体層上に形成された他導電型の非晶質半導体層とからなる半導体装置。

10 【請求項 12】 上記多結晶半導体膜の膜内における結晶粒界が、上記基板の段差上に設けられていることを特徴とする請求項 11 に記載された半導体装置。

【請求項 13】 表面に多数の凹凸を設けて微小な平面を備えた領域を多数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた第 1 電極としての基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含む一導電型の多結晶半導体膜と、この多結晶半導体膜上に形成された真性非晶質半導体層と、この真性非晶質半導体層上に形成された他導電型の非晶質半導体層と、この非晶質半導体層上に形成された透明電極と、を備え、上記多結晶半導体膜の膜内における結晶粒界が上記基板の段差上に設けられ、上記結晶粒界に位置する透明電極上に集電極を設けていることを特徴とする太陽電池。

20 【請求項 14】 上記基板の段差間に位置する透明電極上に更に集電極を設けたことを特徴とする請求項 13 に記載の太陽電池。

【請求項 15】 表面に複数の凹凸を設けて微小な平面を備えた領域を複数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含む多結晶半導体膜と、上記結晶粒界に挟まれた領域をチャンネル領域とし、そのチャンネル領域を挟んで形成されたソース、ドレイン領域と、からなる半導体装置。

30 【請求項 16】 上記多結晶半導体膜の膜内における結晶粒界が、上記基板の段差上に設けられていることを特徴とする請求項 15 に記載された半導体装置。

【発明の詳細な説明】

【0001】

40 【産業上の利用分野】 この発明は、多結晶半導体膜、この多結晶半導体膜を光電変換層に用いた太陽電池、上記多結晶半導体膜をチャンネル層に用いた薄膜トランジスタに関する。

【0002】

【従来の技術】 近年、液晶ディスプレイや密着型イメージセンサ等の駆動素子として、薄膜トランジスタが広く用いられている。この薄膜トランジスタにおいてキャリア走行路を司る活性層として使用されているのが薄膜半導体である。

50 【0003】 この薄膜半導体は、従来の単結晶からなる

半導体とは異なり、ガラスや石英等の絶縁性基板上にも形成できるという特徴を備えると共に、比較的大面積の基板上にも形成できることから、これまでの単結晶半導体では困難なデバイスへの応用が可能とされている。

【0004】このような薄膜半導体としては、従来非晶質シリコン膜に代表されるような非晶質半導体が主に利用されていたが、そもそも非晶質半導体膜は物性からくる問題として半導体中のキャリア移動度が小さいために、その応用範囲は限られていた。

【0005】この移動度の問題は、例えば従来であれば、非晶質半導体膜からなる薄膜トランジスタでは賄えない場合、駆動素子用として集積回路(IC)をこの支持基板上にオンチップし、このICとその基板に形成された素子とをワイヤボンディングで接続する、といった工程を必要としていた。

【0006】そこで、最近この非晶質半導体に替わる材料として、特に注目を受け研究されているのが多結晶半導体膜である。この多結晶半導体膜は、形成法の違いにより種々のものがあるが、とりわけ低温で大面積形成が可能な多結晶半導体膜の形成方法についての研究が活発に進められている。

【0007】この多結晶半導体膜は上記非晶質半導体膜と比べて、キャリア移動度が3桁も大きく、上述したような工程を採用する必要もなく、支持基板上にあらゆる素子を組み込むことが可能となり製造コストの削減等が可能となる。

【0008】一方、太陽電池の分野においても薄膜多結晶半導体を用いた太陽電池は、低コストで光電変換効率を高くすることができるものとして期待されている。この多結晶半導体膜からなる太陽電池では、多結晶半導体膜内の結晶粒径の大型化と、膜内のキャリア移動度を向上するための必須条件である。

【0009】具体的な多結晶半導体膜の製造方法としては、化学的気相成長法(CVD)により直接多結晶半導体膜を形成する方法や、出発材料として非晶質半導体膜を用い、これを600℃程度の温度領域で数十時間の熱処理を施し多結晶化することで多結晶半導体膜を形成する、所謂固相成長法や、更には出発材料である非晶質半導体膜にレーザ等のエネルギービームを照射することで、局所的に熔融させ多結晶半導体膜を得る、レーザ再結晶化法、等が提案されている。

【0010】一般に、この多結晶半導体膜の電気的特性を大きく左右するものとして挙げられるのが結晶粒界である。多結晶半導体膜は、通常、この結晶粒界で囲まれた多数個の結晶粒の集合からなるものであって、この結晶粒界は、この半導体膜内でのキャリア走行を阻害するように作用する。このため斯る結晶粒界の生成を抑制するように多結晶半導体膜を形成することが重要となる。

【0011】この点、上記各種製造方法の内でも、固相成長法やレーザ再結晶化法によって形成された多結晶半

導体膜は、通常結晶粒が数 μm の大きなものが得られることから、結果として結晶粒界の数を低減することが可能となり、良好な多結晶半導体膜を形成することができ。例えば、米国特許第5,221,365号公報に開示されているように、表面に微少な凹凸形状を備えた基板上に成膜された非晶質半導体膜を熱処理し、粒径の大きい多結晶半導体膜を形成する方法がある。

【0012】

【発明が解決しようとする課題】然し乍ら、上記多結晶半導体膜の形成方法によれば、比較的大きな結晶粒が得られるものの、この多結晶半導体膜の膜面内における上記結晶粒界の位置を制御することはできない。即ち、形成された多結晶半導体膜中の膜面内における結晶粒界は、多結晶化の膜内での熱効率や熱伝導、あるいは使用する基板の表面状態や核発生位置、結晶成長速度等の種々の要因によってその位置は決定されてしまい、通常結晶粒界の位置及びこれに付随して決定されることになる結晶粒のサイズを制御することができない。

【0013】このため、たとえば薄膜トランジスタのチャネル領域となっている多結晶半導体膜中に結晶粒界が存在したならばキャリアの走行が阻害されることになり、良好なスイッチング特性が得られないこととなってしまふ。

【0014】また、太陽電池においても、発電に寄与しない結晶粒界がランダムに存在することにより、単位面積当たりの発電効率が低下する。さらに、光キャリアが結晶粒界で再結合し、光電変換特性に悪影響を及ぼすという問題がある。

【0015】そこで、本発明は、上記した問題点を解決するためになされたものにして、本発明の第1の目的は、膜面内における結晶粒界の位置を抑制した多結晶半導体膜及びその製造方法を提供することにある。

【0016】本発明の第2の目的は、大きな粒径で、チャネル領域となる多結晶半導体膜中に結晶粒界が存在せずに、良好なスイッチング特性が得られる薄膜トランジスタを提供することにある。

【0017】本発明の第3の目的は、大きな粒径を有する多結晶半導体膜を用い、発電に寄与しない粒界を制御して集電効率を向上させる太陽電池を提供することにある。

【0018】

【課題を解決するための手段】本発明の多結晶半導体膜は、微小な平面を備えた隆起を多数個、表面に備えることで、隣接する該領域間の段差により上記表面を凹凸とした基板上に、形成された多結晶半導体膜であって、該多結晶半導体膜の膜面内における結晶粒界が、上記基板の段差上に設けられていることにあり、また上記段差による高低差が、30Å以上500Å以下としたことにある。

【0019】本発明の多結晶半導体膜の製造方法は、微

小さな平面を備えた領域を多数個、表面に備えることで、隣接する該領域間の段差により上記表面を凹凸とした基板上に、半導体膜を形成する工程と、上記半導体膜に対して、エネルギービームを照射することで、多結晶化せしめる工程と、からなり、更にはそのエネルギービームの照射に加えて半導体膜に熱処理を施すことにある。

【0020】本発明の太陽電池は、表面に多数の凹凸を設けて微小な平面を備えた領域を多数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた第1電極としての基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含む一導電型の多結晶半導体膜と、この多結晶半導体膜に形成された他導電型の半導体層と、この半導体層上に形成された透明電極と、を備え、上記多結晶半導体膜の膜内における結晶粒界が、上記基板の段差上に設けられ、上記結晶粒界に位置する透明電極上に集電極を設けている。

【0021】本発明の薄膜トランジスタは、表面に複数の凹凸を設けて微小な平面を備えた領域を複数個備え、隣接する該領域間に結晶粒界制御用の段差が設けられた基板と、この基板上に基板表面の凹凸形状を反映して位置制御された結晶粒界を含む多結晶半導体膜と、上記結晶粒界に挟まれた領域をチャンネル領域とし、そのチャンネル領域を挟んで形成されたソース、ドレイン領域と、からなる。

【0022】

【作用】本発明の多結晶半導体の製造方法によれば、相隣接する、微小な平面を備えた領域間の段差によって、斯る領域間に結晶粒界ができるようにするものであることから、それら領域が備えた表面の大きさ、及びそれら領域間で形成される段差部分の位置を制御することで、多結晶半導体膜の結晶粒径の大きさや、多結晶半導体膜中の結晶粒界の位置を容易に制御することができることとなる。また、本発明の多結晶半導体膜では、上記段差に基づく粒界によって囲まれた結晶粒内の、結晶の配向を特定方向に揃えることも可能となり、半導体膜中の電気的特性を均一なものとするができることとなる。

【0023】本発明の太陽電池によれば、基板の段差によって位置が特定されている結晶粒界が在る多結晶半導体膜部分の表面に光キャリア収集のための集電極を設けることで、一般に光キャリアを再結合させ光電変換特性に悪影響を及ぼすその結晶粒界近傍に集電極が設けられ、その様な再結合の発生を抑制することができる。

【0024】本願発明の多結晶半導体膜を薄膜トランジスタのチャンネル領域として用いれば、チャンネル領域の多結晶半導体膜部分には結晶粒界の存在しない状態を作ることができ、これによれば、従来のような粒界によるキャリア走行の障害がなくなり、スイッチング特性が良好な素子得ることができる。

【0025】

【実施例】図1(A)ないし図1(D)は、本発明の多

結晶半導体膜の製造方法を工程別に示す素子構造の断面図である。図1(A)に示す第1工程では、 SiN_x や SiO_2 が形成されたガラスや石英等からなる基板1の表面に、任意の形状の微小な平面を備えた領域を多数個形成すべく、従来周知のフォトリソグラフィによるレジスト2をパターンニング形成する。

【0026】次に図1(B)に示す第2工程では、レジスト2が形成された基板表面を、反応性イオンエッチングによりエッチングした後、レジスト2を除去する。これにより、微小な平面を備えた多数個の領域3ができ、その基板表面には凹凸が形成される。

【0027】レジスト2によるパターンニングは、このエッチングにより領域3、3間において段差4ができるように、例えば図2Aに示すようなレジストパターンが使用される。図2Aは図1Aに示した基板1の表面側から該基板1を垂直に臨んだもので、基板1上に形成されたレジスト2はライン状にパターン形成されている。

【0028】斯る場合にあっては、レジストの保護によってエッチングされない部分(2に相当する)と、される部分2'とがライン状に区分されていることから、エッチングによりその領域3、3間には段差4ができることとなる。(図1(B)参照)。特に、エネルギービームによる多結晶化にあっては、この段差は明瞭なものであるのが好ましく、例えば段差による凹凸部分の表面形状は断面で見た場合90度の角度に近いものほど好ましい。

【0029】本実施例における領域のサイズはラインの短手方向としては、各ライン間を $0.1\mu\text{m} \sim 100\mu\text{m}$ 程度とし、上記反応性イオンエッチングのための反応性ガスとしては、基板材料を石英若しくは SiO_2 膜が形成されたガラス基板とした場合にあっては CHF_3 ガスや CH_4 、 H_2 と N_2 の混合ガス等が利用できる。

【0030】特に、本発明にあっては、上記領域のサイズ選択は重要であるが、これに加えて段差の大きさ(深さ)の設定も重要な要素となる。

【0031】その段差の大きさは、上記第2工程での反応性イオンエッチングによるエッチングの程度(深さ)によって制御することができるが、通常本願発明の効果をj得るには、その深さを $30\text{\AA} \sim 500\text{\AA}$ とするのが好ましく、より好ましくは、 $50\text{\AA} \sim 300\text{\AA}$ の範囲に設定することである。特に、 30\AA 以下では、斯る段差部分において結晶粒界が発生せず、一方 500\AA 以上では、微小な領域における結晶粒が段差部分で大きく分離し、連続した多結晶半導体膜が形成できないという問題が生じるからである。これらは、いずれも電子顕微鏡の観察結果により判明している。

【0032】この微小な領域の形状は、本実施例では図2(A)で示したごとく、ライン状としたがこれに限ることはなく、形成される多結晶半導体膜の利用にあわせて、その形状を決定すればよく、具体的には、矩形状、

10

20

30

40

50

格子状、菱形状、円状等の任意の形状でよい。

【0033】また、隣接する微小領域による段差の大きさは、本実施例のようにすべて同一にする必要はなく、上記深さの範囲となるものであれば不揃いなものであってもよい。

【0034】次に、図1(C)に示す第3工程では、微小な領域が形成された基板1の表面に、非晶質シリコンからなる非晶質半導体膜5を形成する。膜厚は、300Å~1200Åとし、上記段差4部分が覆われるように形成する。この非晶質半導体膜5は、例えば、プラズマCVD法により形成され、その成膜条件はシラン(SiH₄)ガス流量が30~80sccm(Standard Cubic Centimeters per Minute)、基板温度が100~600℃、圧力が13.3~266Pa、パワーが13.56MHz、3~100Wである。

【0035】そして、図1(D)に示す第4工程では、上記非晶質半導体膜5に対してエネルギービーム6を照射し、その照射領域を多結晶化させることで多結晶シリコンからなる多結晶半導体膜7を得ることができる。

【0036】スル工程によって得られた多結晶半導体膜の模式図が図2(B)である。同図も図2(A)と同様に基板の表面に垂直となる方向から臨んだ図であり、これによれば、ライン状の段差4部分に結晶粒界8が揃うように生成していることが分かり、横方向の結晶成長がその段差部分で止まっていることが確認できる。

【0037】なお、図2Bから分かるように、ラインの長手方向には予め段差を設けていなかったことから、従来の種々の要因によって結晶成長が停止しており、これによる結晶粒界の形状及び位置はランダムなものとなっている。

【0038】このエネルギービームの照射を施した非晶質半導体膜としては、本実施例ではCVD法によって形*

*成されたものを使用した。本発明はスル製造方法に限られたものではなく、この他に蒸着法、スパッタ法等によって形成されたものでも良く、更には、エネルギービームの照射を受ける半導体膜としては、既に多結晶となっているものであってもよい。この場合、当初の粗悪な多結晶半導体をエネルギービームの照射によって、本発明の効果である結晶粒界の位置制御が施された良質の多結晶半導体膜改質することが可能となる。

【0039】この粗悪な多結晶半導体膜の具体的な例としては、常温のような低温で形成された多結晶シリコン膜等のようなものであり、スル多結晶半導体膜では膜中の結晶粒界が非常に多く、キャリア移動度についても極めて小さなものである。然し乍ら、エネルギービームが照射される非晶質半導体膜や多結晶半導体膜のいずれのものであっても、その照射による多結晶化を良好なものとするためには、半導体膜中の不純物、具体的には酸素、水素、窒素、炭素等の濃度ができる限り少ないことが好ましい。その理由は、いずれの不純物も多結晶化の際の、結晶成長を阻害するように作用するからで、このため、これら不純物を除去するために、例えば、半導体膜の形成装置の到達真空度を高めたり、或いは半導体膜形成後、熱処理を施すことで膜中の不純物を放出させる等の処理を行うことで、半導体膜中の不純物濃度の低減を図ることが好ましい。

【0040】また、使用するエネルギービームとしては、短波長パルスレーザ、銅蒸気レーザ、ルビーレーザ、YAGレーザ等で、具体的には、ArFエキシマレーザやF₂エキシマレーザ、KrFエキシマレーザ、XeClエキシマレーザ、XeFエキシマレーザ等を使用することができ、照射条件としては表1のごとくである。

【0041】

【表1】

レーザ照射強度	200~600mJ/cm ²
照射雰囲気	真空中 又は 不活性ガス中
レーザ・ビーム径	2×2mm ² ~ 15×15mm ²
ビーム強度の均一性	±5%以内

【0042】特に、レーザ照射にあたっては、1つの照射領域について10パルス以上の照射を施して多結晶化させることが好ましく、より好ましくは照射される半導体膜が形成された基板を100℃以上600℃以下の温度範囲の加熱を行いつつレーザビームの照射を行うことが膜の多結晶化には好適である。とりわけ、その温度範囲の中でも200℃以上500℃以下とするのがよく、本実施例では約400℃に設定し多結晶化を施した。

【0043】かかる照射によれば、多結晶化は、半導体の表面自由エネルギーが最小化する方位、即ち配向方向を備えながら、膜面に対して平行に横方向に成長する。

特に表面がフリーサーフェスのシリコン膜の場合にあつては、(111)面に配向することとなる。

【0044】また、本実施例では使用しなかったが、照射を受ける非晶質半導体膜あるいは多結晶半導体膜に予めSiO_x等の酸化膜やSiN_x等の窒素酸化膜等からなるキャップ膜を膜表面に形成し、かかるキャップ膜を介して、エネルギービームを照射することで、配向方向を[100]や[110]等に制御することも可能である。

【0045】このような、横方向への結晶成長のドライビングフォースは、表面自由エネルギーの異方向性のた

めに、下地となる基板表面に予め設けられた段差の位置でその表面自由エネルギーの値が変化することとなり、結果として横方向への結晶成長が停止してしまうこととなる。

【0046】従って、微少な平面を備えた領域のサイズや位置を制御しておくことで、所望の位置に結晶粒界を生成することが可能となり、且つ隣接する段差の間隔によって、結晶粒のサイズを所望の値に設定することができる。

【0047】また、本発明者等によれば、隣接する段差の間隔の設定によっては、領域内の結晶粒中にも結晶粒界が発生してしまうこともあるが、この場合であっても、該結晶粒界によって分解されてしまった結晶粒はいずれも、上述したように全て(111)面に揃っていることから、たとえ微小領域内にその様な結晶粒界が生じてしまったとしても、これによる影響は多結晶半導体膜の電気的特性に殆ど影響を与えないことを確認している。

【0048】従って、本願発明の多結晶半導体膜を例えば薄膜トランジスタのチャンネル領域として利用する場合にあつては、チャンネル領域の多結晶半導体膜部分には結晶粒界の存在しない状態を作ることができ、これによれば、従来のような粒界によるキャリア走行の阻害がなくなり、スイッチング特性が良好な素子得ることができることとなる。

【0049】更には、本願発明の多結晶半導体膜では、その結晶粒界で囲まれた結晶粒内の結晶性は、固相成長法による膜と比較して、粒内の欠陥密度は小さい高品質なものである。

【0050】また、本願発明による多結晶半導体膜を太陽電池における光電変換用の半導体材料として利用してもよく、この場合にあつては、段差によって位置が特定されている結晶粒界が在る多結晶半導体膜部分の表面に光キャリア収集のための集電極を設けることが好ましい。これによれば、発電に寄与しない結晶粒界部が光照射を妨げる集電極下に位置するので、単位面積当たりの効率の低下が防げる。さらに、一般に光キャリアを再結合させ光電変換特性に悪影響を及ぼすその結晶粒界近傍に集電極を設けることで、その様な再結合の発生を抑制することが可能となる。

【0051】更に、本願発明による多結晶半導体膜によれば、従来半導体としての機械的強度の低下現象をもたらす結晶粒界の、位置制御ができることから、半導体としての機械強度を制御することができることとなり、例えば、マイクロマシン用の多結晶半導体材料として利用することも可能である。

【0052】尚、実施例では多結晶シリコン膜についてのみ説明したが、本願発明による多結晶半導体膜及びその製造方法はこれらに限られずゲルマニウム、ガリウムによる半導体膜であっても同様である。

【0053】次に、本願発明による多結晶半導体膜をpn接合型太陽電池における光電変換用半導体材料として用いた実施例につき図3(A)ないし図4(E)に従い説明する。

【0054】まず、図3(A)に示すように、前述した実施例の図1(A)及び図1(B)に示す工程と同様に、任意の形状の微少な平面を多数個形成すべく、レジストをパターンニングし、このレジストをマスクとして反応性イオンエッチングによりエッチングし、基板10表面に凹凸を形成する。この凹凸により、微少な平面を備えた多数この領域12、12が形成される。この領域間において、段差11が形成される。この実施例では、基板としてタンタル(Ta)、タングステン(W)等の高融点金属が用いられ、この基板10が一方の電極として用いられる。また、段差11は100~500Å、段差間の幅、すなわち微小領域12、12の幅は200μm~2cmとした。

【0055】次に、図3(B)に示す工程では、微小な領域12、12が形成された基板10上の表面に、リンをドーブしたn型非晶質シリコン膜13を500~2000オングストロームの膜厚でプラズマCVD法により成膜する。この成膜条件はSiH₄ガス流量が30~80sccm、ホスフィン(PH₃)ガス流量が10~30sccm、基板温度が400~600℃、圧力が1.3.3~266Pa、パワーが13.56MHz、30~100Wである。

【0056】次に、図3(C)に示す工程では、エキシマレーザ6を用い、n型非晶質シリコン膜12を照射し、その照射領域を多結晶化させることで、多結晶シリコンからなるn型多結晶半導体膜14を得る。この時のレーザエネルギー密度は200~500mJ/cm²、ショット数は100~1000ショット、レーザ照射時の基板温度は300~500℃とした。この時、形成されたn型多結晶半導体膜14は基板10の段差11部分に結晶粒界15が揃うように形成される。

【0057】続いて、このn型多結晶半導体膜14上に上記図3(B)に示す工程と同様にn型非晶質シリコン膜を形成する工程と、上記図3(C)に示す工程と同様にエキシマレーザ6による多結晶化を繰り返し、膜厚10~50μm程度のn型多結晶膜14を形成する。このように繰り返し、非晶質シリコンの成膜とその多結晶化を行うのは、エキシマレーザによる多結晶化では膜厚2000Å程度までが膜質の良好な膜が得られる限界であるので、良好な膜を多層積層し、所望の膜厚を得るようにしたものである。また、多層に積層する際にも、上に積層される多結晶半導体膜は下地多結晶半導体膜の結晶粒界の上方を受け継ぎ、同様の位置に結晶粒界が形成される。すなわち、基板10の段差11部分に結晶粒界15が揃うように形成される。

【0058】次に、図4(D)に示す工程では、熱拡散

でボロン等を多結晶半導体膜14表面に拡散し、p型多結晶半導体層16を形成する。この時の接合深さは0.1 μ mとした。

【0059】そして、図4(E)に示す工程では、表面にITO等からなる透明電極17をp型多結晶半導体層16上にスパッタ法で500~2000Åの膜厚で成膜し、基板10の段差11上、即ち多結晶半導体膜14の位置制御された結晶粒界15上にAl(アルミニウム)からなる集電極18を形成する。

【0060】このように、段差によって位置が特定されている結晶粒界が在る多結晶半導体膜部分の表面に光キャリア収集のための集電極を設けることで、一般に光キャリアを再結合させ光電変換特性に悪影響を及ぼすその結晶粒界近傍に集電極が設けられ、その様な再結合の発生を抑制することができる。

【0061】次に、本願発明による多結晶半導体膜をpn接合型太陽電池における光電変換用半導体材料として用いた第2実施例につき図5(A)ないし図5(D)に従い説明する。

【0062】前述の第1の実施例の図3(A)ないし図3(C)に示す工程と同様に、Ta、Wの高融点金属基板10の表面に100~500Åの段差11、その幅が200 μ m~2cmになるように凹凸を形成し、多数の微小領域12、12を形成する。そして、リンをドーブしたn型非晶質シリコン膜13を500~2000Åの膜厚でプラズマCVD法により成膜する。そして、エキシマレーザ6を用い、非晶質シリコン膜13を多結晶化し、基板10の段差部分11に結晶粒界13を持つn型多結晶半導体膜14を形成する。

【0063】次に、図5(A)に示す工程では、多結晶膜半導体14上にリンをドーブした非晶質シリコン膜20を10~50 μ mの膜厚でプラズマCVD法により成膜する。この成膜条件はSiH₄ガス流量が30~80sccm、PH₃ガス流量が10~30sccm、基板温度が400~600℃、圧力が13.3~266Pa、パワーが13.56MHz、30~100Wである。

【0064】続いて、図5(B)に示す工程では、非晶質シリコン膜20を500~700℃、20時間で結晶化させる固相成長法により、多結晶化させ、多結晶シリコン膜21を形成する。この時、図5(B)に示すように、形成された多結晶シリコン膜21は下地の多結晶シリコン膜14の結晶粒界15の情報を受け継ぎ、同様の位置に粒界15ができる。

【0065】次に、図5(C)に示す工程では、熱拡散でボロン等を多結晶半導体膜21表面に拡散し、p型多結晶半導体層22を形成する。

【0066】そして、図5(D)に示す工程では、多結晶半導体層22表面にITO等からなる透明電極17を成膜し、基板10の段差11上、即ち多結晶半導体膜2

1の位置制御された結晶粒界15上にAlからなる集電極18を形成する。

【0067】このように、段差によって位置が特定されている結晶粒界が在る多結晶半導体膜部分の表面に光キャリア収集のための集電極を設けることで、一般に光キャリアを再結合させ光電変換特性に悪影響を及ぼすその結晶粒界近傍に集電極が設けられ、その様な再結合の発生を抑制することができる。

【0068】次に、本願発明による多結晶半導体膜を太陽電池における光電変換用半導体材料として用いた第3実施例につき図6に従い説明する。この実施例は、pn接合型太陽電池のpn接合界面にi型非晶質シリコン層を介在させたものである。

【0069】前述の第1の実施例の図3(A)ないし図3(C)に示す工程と同様に、Ta、Wの高融点金属基板10の表面に100~500Åの段差11、その幅が200 μ m~2cmになるように凹凸を形成し、多数の微小領域12、12を形成する。そして、リンをドーブしたn型非晶質シリコン膜を500~2000Åの膜厚でプラズマCVD法により成膜する。そして、エキシマレーザ6を用い、非晶質シリコン膜4を多結晶化し、基板10の段差部分11に結晶粒界を持つn型多結晶半導体膜を形成する。そして、上記図3(C)に示す工程と同様にエキシマレーザ6による多結晶化を繰り返し、膜厚10~50 μ m程度のn型多結晶膜13を形成するか、または、上記図4Aに示すように多結晶膜半導体上にリンをドーブした非晶質シリコン膜を10~50 μ mプラズマCVD法により成膜し、この非晶質シリコン膜を500~700℃、20時間で結晶化させる固相成長法により、多結晶化させ、多結晶シリコン膜を形成することにより、多結晶半導体膜21が形成される(図6(A)参照)。

【0070】図6(B)に示す工程では、多結晶半導体膜21上にi型非晶質シリコン23を20~350Åの膜厚でプラズマCVD法により成膜する。この成膜条件はSiH₄ガス流量が30~80sccm、基板温度が400~600℃、圧力が13.3~266Pa、パワーが13.56MHz、30~100Wである。

【0071】続いて、図6(C)に示す工程では、このi型非晶質シリコン23上にp型非晶質シリコン24を50~100Åの膜厚でプラズマCVD法により成膜する。この成膜条件はSiH₄ガス流量が30~80sccm、ジボラン(B₂H₆)ガス流量が30sccm、基板温度が400~600℃、圧力が13.3~266Pa、パワーが13.56MHz、30~100Wである。

【0072】そして、図6(D)に示す工程では、p型非晶質シリコン24表面に透明電極17を成膜し、基板10の段差11上、即ち多結晶半導体膜21の位置制御された結晶粒界15上にAl集電極18を形成する。

【0073】尚、本工程では、下地の多結晶半導体膜の形成にエキシマレーザを用いたが、YAGレーザ等の他のレーザでも可能である。

【0074】多結晶化の方法としては、上記のエネルギービーム法以外に、固相成長法や、真空中若しくは不活性ガス雰囲気中で、基板上に成膜した多結晶膜若しくは非晶質膜をハロゲンランプで急速に加熱し、結晶化させる、いわゆるRTA法や、基板上に成膜した多結晶膜若しくは非晶質膜にSiO₂にキャップ膜を成膜し、全体を1350℃に加熱し、そしてヒータまたは集光した水銀ランプで幅1mm、長さ50～125mmの領域を1450℃に加熱溶解し、この溶解領域を1～2mm/secで操作し全体を結晶化させる、いわゆるZMR法や、高周波や交流磁界を用いて加熱溶解する方法等の再結晶法を用いることができる。

【0075】なお、上述した各実施例においては、多結晶半導体膜の位置制御された結晶粒界上に集電極を設けているが、更に、これら結晶粒界の中央部に集電極を設けるように構成しても良い。このように、段差によって位置が特定されている結晶粒界がある多結晶半導体膜部分の中間部の表面に光キャリア収集のための集電極を設けることで、光キャリアの再結合の発生をより抑制することができ、光電変換効率の低下が抑制できる。

【0076】次に、本願発明による多結晶半導体膜をチャネル部に用いた薄膜トランジスタ(TFT)の実施例につき図7～図8に従い説明する。図7(A)はこの実施例のTFTの断面図、図7(B)は金属配線を取り除いた状態で図7(A)を上から見た平面図である。本実施例では基板に凸部を設けることにより得られた結晶粒界を制御された多結晶シリコン膜上に、TFTのチャネル部を形成している。

【0077】図7(A)に示すように、ガラスなどからなる透明絶縁基板30には、TFTのチャネル部になる部分に段差100～500Åの凸部31が形成されている。この基板30上に、前述したこの発明の多結晶半導体膜32が設けられる。この基板30上にp⁻(またはn⁻)型またはi型の非晶質シリコン膜をプラズマCVD法などにより500～1000Å形成し、エキシマレーザの照射により、多結晶化し、多結晶半導体膜32が得られる。この多結晶半導体膜32の凸部31上にゲート絶縁膜33を介してゲート電極34が設けられ、このゲート電極34をマスクとしてセルフアラインによりn(またはp)型のソース、ドレイン領域35、36が設けられている。ゲート電極34の保護膜39とコンタクトホールを介してソース、ドレイン領域35、36とそれぞれオーミックコンタクトするソース、ドレイン電極37、38が設けられている。この実施例のTFTは、図6(B)に示すように、チャネルと直交する結晶粒界15、すなわち、Y軸方向は段差部に位置するように位置制御されており、チャネル部と平行なX軸方向に結晶

粒界15が走る。従って、ソース、ドレイン領域間を流れる電流が結晶粒界を横切ることがない構造が可能になり、高速動作のTFTが作成できる。

【0078】次に、この実施例のTFTの工程を図8

(A)ないし図8(C)に従い説明する。図8(A)に示す工程では、段差100～500Åの凸部31が設けられたガラスなどの透明絶縁性基板30上にp⁻型非晶質シリコン膜を例えば、プラズマCVD法により、500～1000Åの膜厚で形成する。この成膜条件はSiH₄ガス流量が30～80sccm、B₂H₆ガス流量が0～30sccm、基板温度が400～600℃、圧力が13.3～266Pa、パワーが13.56MHz、30～100Wである。次に、エキシマレーザ6を照射し非晶質シリコン膜を多結晶化し、p⁻型多結晶半導体膜32を形成する。この時レーザエネルギー密度は150～350mJ/cm²、基板温度は20～400℃とする。この多結晶化により、多結晶化半導体膜32は段差部分に結晶粒界15が位置するように制御される。

【0079】続いて、図8(B)に示す工程では、この多結晶半導体膜32をパターニングした後、この多結晶半導体膜32上に、SiO₂からなるゲート絶縁膜33をCVD法、スパッタ法を用い基板温度200～600℃で1000～2000Åの膜厚で成膜する。そのゲート絶縁膜33上に多結晶シリコンをCVD法等を用いて200～500℃の基板温度で500～2000Å成膜し、フォトリソグラフィ工程を経てゲート電極34を形成する。

【0080】この状態でゲート電極34をマスクとし、ソース、ドレイン領域形成のためイオン注入により、P(燐)イオンをエネルギー10～100KeV、ドーズ量2×10¹⁵～10¹⁶cm⁻²で注入する。その後、エキシマレーザ、熱アニール等によりソース、ドレイン領域35、36の活性化とゲート電極34の結晶性の回復を同時に行う。なお、イオン注入条件等によって、活性化を行わない場合もある。

【0081】次に図8(C)に示す工程では、保護絶縁膜39をCVD法、スパッタ法等で500～1000Å成膜する。そして、フォトリソグラフィ工程によりソース、ドレイン領域35、36上に保護絶縁膜39を貫通するコンタクトホールを1～2μm角で開け、真空蒸着法、スパッタ法等によりAl、Cr等の金属成膜800～1500Å成膜する。この金属成膜をフォトリソグラフィ工程により、パターニングし、ソース、ドレイン電極37、38を形成することにより薄膜トランジスタが作製できる。この工程において、イオン打ち込みはPイオンを用いたが、もちろんAs(ヒ素)イオン等でも問題ない。また、チャネル領域をn⁻型またはi型の多結晶半導体膜で構成し、ソース、ドレイン領域にB(ボロン)をイオン注入してもよい。

【0082】次に、本願発明による多結晶半導体膜をチ

ヤネル部に用いた薄膜トランジスタ (TFT) の第2の実施例につき図9～図10に従い説明する。図9はこの実施例のTFTの断面図である。本実施例では基板に設けたゲート電極の段差により、多結晶半導体の結晶粒界を制御し、この多結晶シリコン膜上に、TFTのチャンネル部を形成している。図9に示すように、ガラスなどからなる透明絶縁基板40に膜厚500Å以下のCr, Mo, Taなどからなるゲート電極41が形成されている。このゲート電極41により基板上40上には～500Åの段差が形成されることになる。このゲート電極41を含め基板40上に1000～2000Åの膜厚の絶縁膜42がCVD法等により設けられる。この絶縁膜42上に前述したこの発明の多結晶半導体膜43が設けられる。多結晶半導体膜43は絶縁膜42上に非晶質シリコン膜をプラズマCVD法などにより500～1000Å形成し、エキシマレーザの照射により、多結晶化することにより得られる。この多結晶半導体膜43上にリンをドーブした500～1000Åのn型非晶質シリコンまたは多結晶シリコン膜をプラズマCVD法などにより形成した後、パターニングにより、ソース、ドレイン領域45、46が形成される。ソース、ドレイン領域45、46上にそれぞれソース、ドレイン電極47、48が設けられ、この実施例のTFTが得られる。この実施例のTFT前述の実施例と同様に、チャンネルと直交する結晶粒界は段差部に位置するように位置制御されており、チャンネル部と平行に結晶粒界が走る。従って、ソース、ドレイン領域間を流れる電流が結晶粒界を横切ることがない構造が可能になり、高速動作のTFTが作成できる。

【0083】次に、この第2の実施例である薄膜トランジスタの製造方法を図10 (A) ないし図10 (C) に従い説明する。

【0084】先ず透明絶縁性基板40上にゲート電極41となるCr, Mo, Ta等の金属層を蒸着、スパッタ等を用いて～500Å成膜し、この金属層をパターニングしてゲート電極41を形成する。その後、絶縁膜42をCVD法、スパッタ法等を用い200～600℃の温度で1000～2000Åの膜厚で成膜する。そして、絶縁膜42の上に非晶質シリコン膜をPECVD法、LPCVD法、スパッタ法、蒸着法等で基板温度100から500℃で500～1000Å形成する。次に、エキシマレーザ6を照射し非晶質シリコン膜を多結晶化し、多結晶半導体膜43を形成する。この時のレーザエネルギー密度は150～350mJ/cm²、基板温度は20～400℃とする。この多結晶化により、多結晶化半導体膜43は段差部分に結晶粒界15が位置するように制御される (図10 (A))。

【0085】次に、図10 (B) に示す工程では、多結晶膜43上にP (燐) をドーブしたn型非晶質シリコン膜または多結晶シリコン膜をPECVD法、LPCVD

法、スパッタ法、蒸着法等で基板温度100～500℃で500～1000Å形成する。このPをドーブした半導体膜をフォトリソ工程を経てパターニングし、ソース、ドレイン領域45、46を作製する。

【0086】続いて、図10 (C) で示す工程では、ソース、ドレイン領域45、46上に真空蒸着法、スパッタ法によりAl, Cr等の金属膜を8000～15000Å成膜する。そしてこの金属膜をフォトリソ工程により、パターニングすることによりソース、ドレイン電極47、48を形成する。

【0087】これらTFTは、例えば、液晶表示装置 (LCD) に用いることができる。LCDでは高速性が必要な周辺駆動部と、あまり速度が必要でない画素部に分けられる。そこで周辺駆動回路に用いるTFTを本特許で作製した、結晶粒界が制御されたTFTで高速化し、画素部は歩留まり等を考えて従来の製法で作製するように構成すればよい。

【0088】

【発明の効果】本発明の多結晶半導体の製造方法によれば、相隣接する、微小な平面を備えた領域間の段差によって、斯る領域間に結晶粒界ができるようにするものであることから、それら領域が備えた表面の大きさ、及びそれら領域間で形成される段差部分の位置を制御することで、多結晶半導体膜の結晶粒径の大きさや、多結晶半導体膜中の結晶粒界の位置を容易に制御することができることとなる。また、本発明の多結晶半導体膜では、上記段差に基づく粒界によって囲まれた結晶粒内の、結晶の配向を特定方向に揃えることも可能となり、半導体膜中の電気的特性を均一なものとするができることとなる。

【0089】本発明の太陽電池によれば、基板の段差によって位置が特定されている結晶粒界が在る多結晶半導体膜部分の表面に光キャリア収集のための集電極を設けることで、一般に光キャリアを再結合させ光電変換特性に悪影響を及ぼすその結晶粒界近傍に集電極が設けられ、その様な再結合の発生を抑制することができる。

【0090】本発明の多結晶半導体膜を薄膜トランジスタのチャンネル領域として用いれば、チャンネル領域の多結晶半導体膜部分には結晶粒界の存在しない状態を作ることができ、これによれば、従来のような粒界によるキャリア走行の障害がなくなり、スイッチング特性が良好な素子得ることができる。

【図面の簡単な説明】

【図1】図1の (A) ないし (D) は、本発明の多結晶半導体膜の製造方法を工程別に示した素子構造の断面図である。

【図2】図2の (A) 及び (B) は、本発明の多結晶半導体の平面図である。

【図3】図3の (A) ないし (C) は、本発明の多結晶半導体膜をpn接合型太陽電池に用いた実施例を工程別

17

に示した断面図である。

【図4】図4の(D)及び(E)は上記実施例を工程別に示した断面図である。

【図5】図5の(A)ないし(D)は、本発明の多結晶半導体膜をpn接合型太陽電池に用いた第2実施例を工程別に示した断面図である。

【図6】図6の(A)ないし(D)は、本発明の多結晶半導体膜をpn接合型太陽電池に用いた第3実施例を工程別に示した断面図である。

【図7】図7の(A)及び(B)は、本発明の多結晶半導体膜をチャネル領域に用いた薄膜トランジスタを示し、(A)は断面図、(B)は平面図である。

【図8】図8の(A)ないし(C)は、本発明の多結晶半導体膜をチャネル領域に用いた薄膜トランジスタを工

18

程別に示した断面図である。

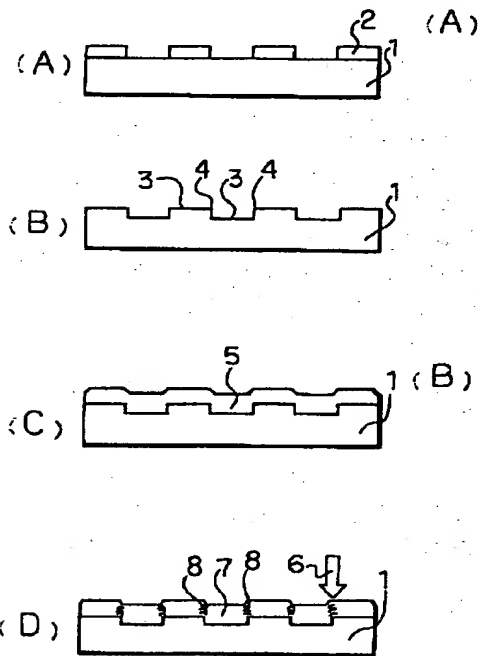
【図9】本発明の多結晶半導体膜をチャネル領域に用いた薄膜トランジスタを示す断面図である。

【図10】図10の(A)ないし(C)は、本発明の多結晶半導体膜をチャネル領域に用いた薄膜トランジスタを工程別に示した断面図である。

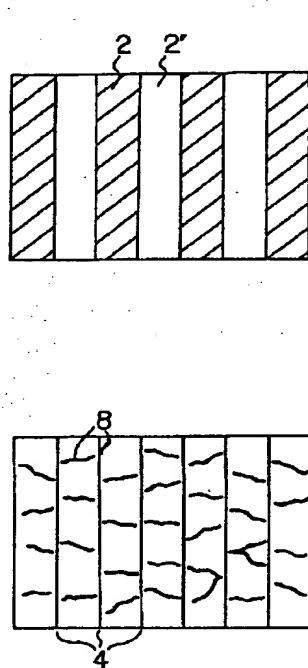
【符号の説明】

- 1 基板
- 2 レジスト
- 3 微小領域
- 4 段差
- 5 非晶質半導体膜
- 8 結晶粒界

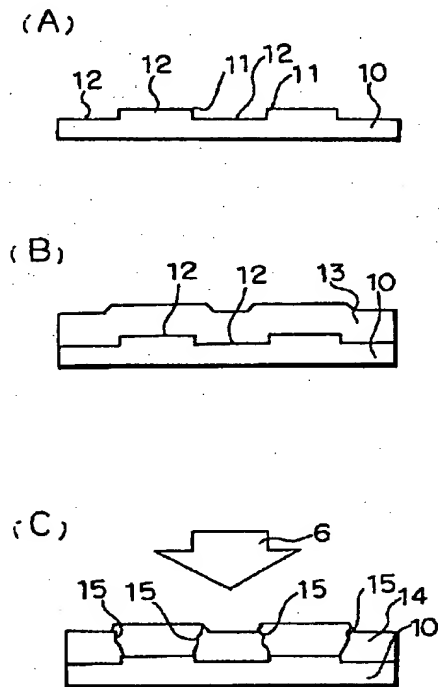
【図1】



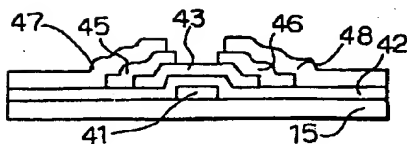
【図2】



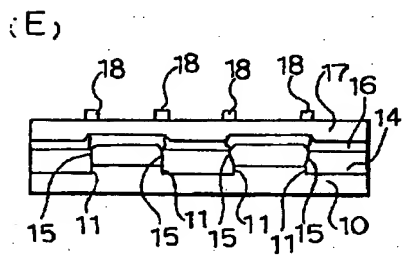
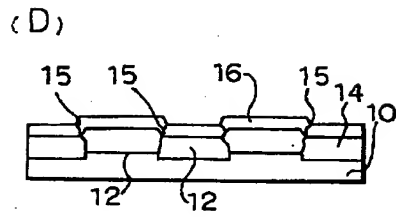
【図3】



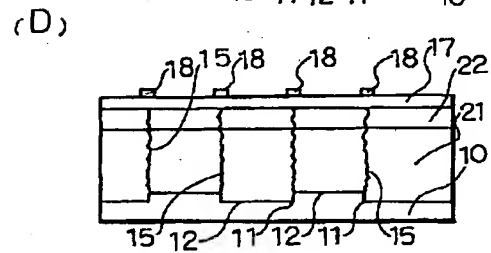
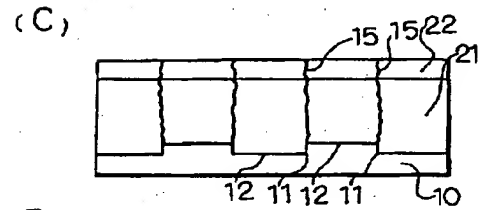
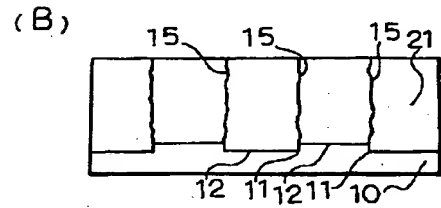
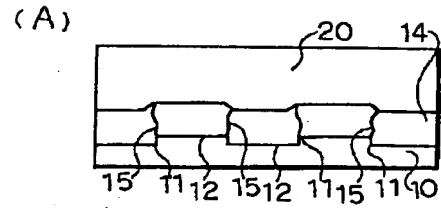
【図9】



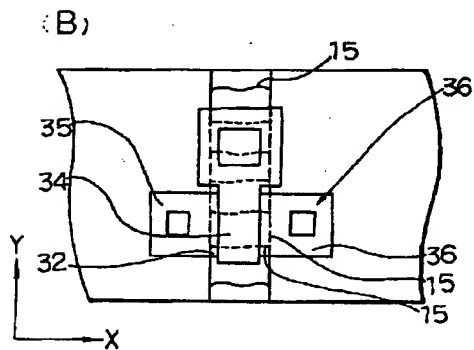
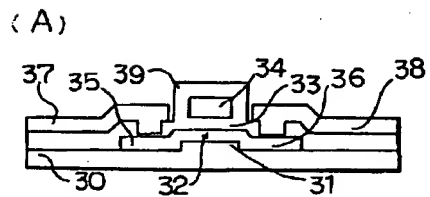
【図4】



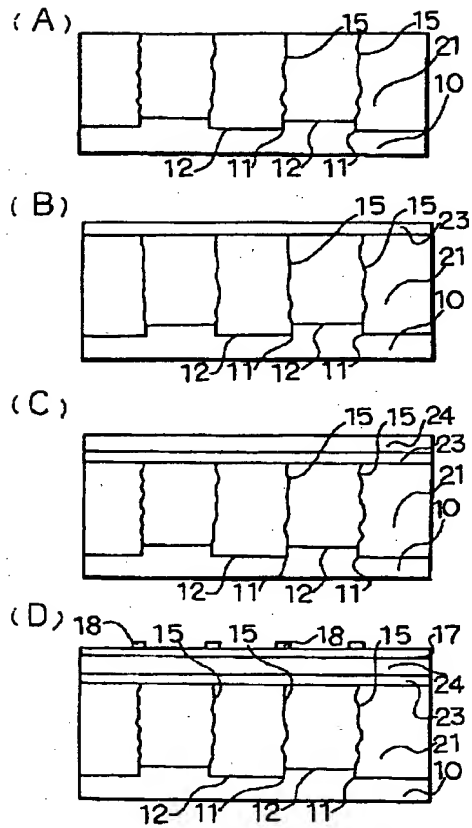
【図5】



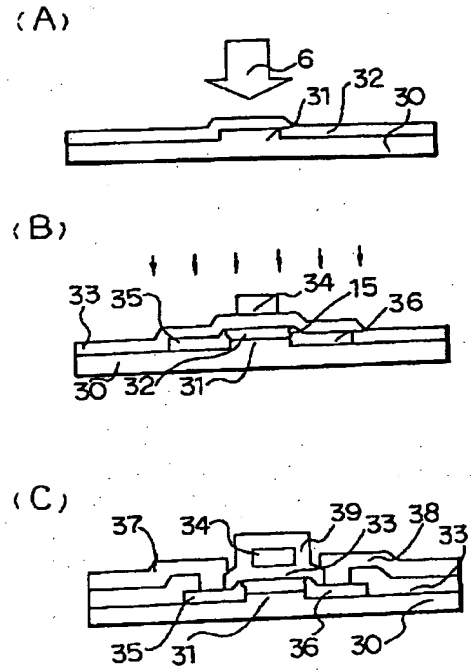
【図7】



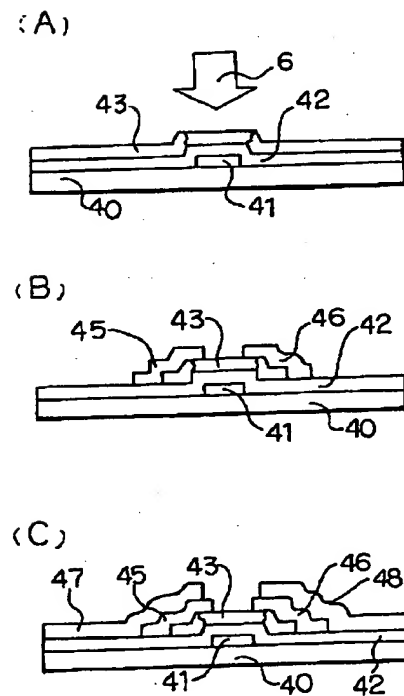
【図6】



【図8】



【図10】



(13)

特開平7-288227

フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/336

31/04

H O 1 L 31/04

A

X

(72) 発明者 綾 洋一郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

